

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-135797

(43) 公開日 平成11年(1999) 5月21日

(51) Int.Cl.⁶

識別記号

F I

H 0 1 L 29/786

H 0 1 L 29/78

6 1 7 U

C 2 3 F 4/00

C 2 3 F 4/00

A

G 0 2 F 1/136

5 0 0

G 0 2 F 1/136

5 0 0

H 0 1 L 21/306

H 0 1 L 21/306

F

21/306

21/306

F

審査請求 未請求 請求項の数15 O L (全 9 頁) 最終頁に続く

(21) 出願番号

特願平9-299251

(22) 出願日

平成9年(1997)10月31日

(71) 出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72) 発明者 佐野 浩

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(72) 発明者 藤原 貴

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(72) 発明者 坪井 伸行

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(74) 代理人 弁理士 森本 義弘

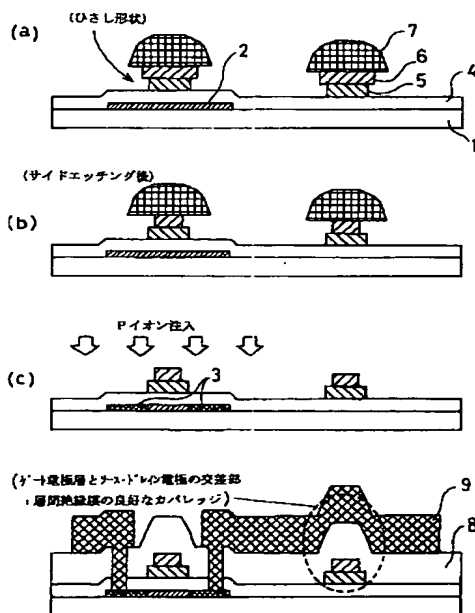
最終頁に続く

(54) 【発明の名称】 積層膜の形状加工方法およびそれを利用した薄膜トランジスタの製造方法

(57) 【要約】

【課題】 Mo-W10原子%の下層金属膜とAl-Zr0.9原子%の積層のゲート電極の端面形状を制御し、層間絶縁層のカバレッジ状態を良好にして絶縁特性を低下させない薄膜トランジスタの製造方法を提供する。

【解決手段】 ガラス基板1上に、半導体層2として多結晶シリコンを形成する。その上に、ゲート絶縁層4のSiO₂形成する。さらに、第1のゲート電極5として膜厚100nmのMo-W10原子%と第2のゲート電極6として膜厚100nmのAl-Zr0.9原子%の積層膜をスパッタ法により成膜し、第1のウェットエッチングをりん酸・硝酸・酢酸・水の混酸でにより行う。続いて、フォトレジスト7を除去せずに、りん酸・水の混酸でゲート電極層のエッチングをし第2のゲート電極層6のサイドエッチングを進行させる。これにより、以降工程で形成する層間絶縁層8のカバレッジ性を確保できる。



1 ガラス基板
2 半導体層
3 ソース・ドレイン領域
4 ゲート絶縁層
5 第1のゲート電極層
6 第2のゲート電極層
7 フォトレジスト
8 層間絶縁層
9 ソース・ドレイン電極

【特許請求の範囲】

【請求項 1】 Mo を主成分とする下層金属膜と Al を主成分とする上層金属膜との積層膜のパターン形成において、前記積層膜を一度にエッチングする工程と、Al を主成分とする前記上層金属膜を選択的にエッチングし所定の形状に加工する工程を有することを特徴とする積層膜の形状加工方法。

【請求項 2】 Al を主成分とする上層金属膜を選択的にエッチングし所定の形状に加工する工程において、少なくともりん酸を含むエッチング液でエッチングすることを特徴とする請求項 1 記載の積層膜の形状加工方法。

【請求項 3】 Al を主成分とする上層金属膜を選択的にエッチングし所定の形状に加工する工程において、有機系アルカリ性エッチング液でエッチングすることを特徴とする請求項 1 記載の積層膜の形状加工方法。

【請求項 4】 Al を主成分とする上層金属膜を選択的にエッチングし所定の形状に加工する工程において、少なくともテトラ・メチル・アンモニウム・ヒドロオキサイドを含むアルカリ性エッチング液でエッチングすることを特徴とする請求項 1 記載の積層膜の形状加工方法。

【請求項 5】 Mo を主成分とする下層金属膜が、少なくとも W を 0.5 原子%以上 30 原子%以下含む合金であることを特徴とする請求項 1～請求項 4 のいずれかに記載の積層膜の形状加工方法。

【請求項 6】 Al を主成分とする上層金属膜が、少なくとも Zr を 0.5 原子%以上 10 原子%以下含む合金であることを特徴とする請求項 1～請求項 5 のいずれかに記載の積層膜の形状加工方法。

【請求項 7】 Al を主成分とする上層金属膜が、少なくとも Nd を 2 原子%以上 5 原子%以下含む合金であることを特徴とする請求項 1～請求項 5 のいずれかに記載の積層膜の形状加工方法。

【請求項 8】 絶縁性基板の上に半導体層、ゲート絶縁層、ゲート電極を順に積層してなる薄膜トランジスタの製造工程において、ゲート電極を形成する工程が、Mo を主成分とする下層金属膜と Al を主成分とする上層金属膜との積層膜を堆積する工程と、前記積層膜を一度にエッチングし所定の形状に加工する工程と、前記エッチング時に使用したエッチングマスク材を残したまま Al を主成分とする前記上層金属膜の端面を選択的にエッチングする工程を有することを特徴とする薄膜トランジスタの製造方法。

【請求項 9】 絶縁性基板の上に半導体層、ゲート絶縁層、ゲート電極を順に積層してなる薄膜トランジスタの製造工程において、ゲート電極を形成する工程が、Mo を主成分とする下層金属膜と Al を主成分とする上層金属膜との積層膜を堆積する工程と、前記積層膜を一度にエッチングし所定の形状に加工する工程と、Al を主成分とする前記上層金

属膜を選択的にエッチングし除去する工程を有することを特徴とする薄膜トランジスタの製造方法。

【請求項 10】 Al を主成分とする上層金属膜を選択的にエッチングし所定の形状に加工する工程において、少なくともりん酸を含むエッチング液でエッチングすることを特徴とする請求項 8 または請求項 9 記載の薄膜トランジスタの製造方法。

【請求項 11】 Al を主成分とする上層金属膜を選択的にエッチングし所定の形状に加工する工程において、有機系アルカリ性エッチング液でエッチングすることを特徴とする請求項 8 または 9 記載の薄膜トランジスタの製造方法。

【請求項 12】 Al を主成分とする上層金属膜を選択的にエッチングし所定の形状に加工する工程において、少なくともテトラ・メチル・アンモニウム・ヒドロオキサイドを含むアルカリ性エッチング液でエッチングすることを特徴とする請求項 8 または請求項 9 記載の薄膜トランジスタの製造方法。

【請求項 13】 Mo を主成分とする下層金属膜が、少なくとも W を 0.5 原子%以上 30 原子%以下含む合金であることを特徴とする請求項 8～請求項 12 のいずれかに記載の薄膜トランジスタの製造方法。

【請求項 14】 Al を主成分とする上層金属膜が、少なくとも Zr を 0.5 原子%以上 10 原子%以下含む合金であることを特徴とする請求項 8～請求項 13 のいずれかに記載の薄膜トランジスタの製造方法。

【請求項 15】 Al を主成分とする上層金属膜が、少なくとも Nd を 2 原子%以上 5 原子%以下含む合金であることを特徴とする請求項 8～請求項 13 のいずれかに記載の薄膜トランジスタの製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、液晶表示装置やイメージセンサなどに応用される薄膜トランジスタに関するものである。

【0002】

【従来の技術】近年、家庭用ビデオカメラのビューファインダーやノート型パソコンなどに液晶表示装置が搭載されているが、これらの液晶表示装置のなかでも高画質表示が可能なアクティブマトリックス型液晶表示装置が特に注目されている。このアクティブマトリックス型液晶表示装置には、画素電極のスイッチング素子として、薄膜トランジスタ (Thin Film Transistor: 以下、TFT と略記する) がよく用いられている。

【0003】本出願人は、特願平 8-285426 号において既に図 3 に示した TFT アレイを提案している。これは、ガラス基板 1 の上に半導体層 2 が、その上にゲート絶縁層 4 が、さらにその上のゲート電極がの第 1 のゲート電極層 5 の Mo と第 2 のゲート電極層 6 の Al -

Nd 3. 5%の積層膜で形成されている。そして、半導体層2に接続するようにソース・ドレイン領域3が形成されている。そして、層間絶縁層8、コンタクトホール、ソース・ドレイン電極9が形成されてTFTアレレイが構成されている。

【0004】以上のように構成された従来のTFTアレレイでは、例えばゲート電極としてMo-W10原子%とAl-Zr0.9%の積層膜が使われている。この積層膜のエッチングはAlのエッチング液としてよく用いられる磷酸と硝酸を含むエッチング液により容易に可能なため、この液を用いた一度のエッチングで加工をしていた。

【0005】

【発明が解決しようとする課題】しかしながら前記のような構成では、積層のゲート電極の端面の形状制御が難しいため、ゲート電極とソース・ドレイン電極の間の層間絶縁層の絶縁耐圧低下や配線間ショートが発生しやすいという課題を有していた。以下に、その課題について説明する。

【0006】ゲート電極が積層膜であるため、その端面のエッチング形状を制御するには、エッチング液組成、エッチング液温、ゲート電極の材料組成、ゲート電極の膜厚構成は少なくとも最適化する必要がある。また、異種金属の積層構造に由来する電池効果による単層膜と積層膜でのエッチングレート差や、基板表面へのエッチング液の供給状態・当たり方などによりエッチングパターン形状によるエッチング状態の違いなども発生する。これらの理由により、基板毎また基板内で再現性よく積層ゲート電極の端面形状を制御することは難しい。例えば、上層ゲート電極のサイドエッチングの進行が遅く、いわゆるひさし状になってしまうことがあった。このようなゲート電極の上に層間絶縁層を形成した場合、ゲート電極端面部での層間絶縁層のカバレッジ特性が悪くなり、ソース・ドレイン電極との絶縁耐圧低下や配線間ショートが発生しやすいという課題を有していた。このため、積層ゲート電極の端面形状を改善して層間絶縁層の絶縁特性を低下させない方法が期待されていた。

【0007】本発明はかかる点に鑑み、Moを主成分とする下層金属膜とAlを主成分とする上層金属膜との積層のゲート電極の端面形状を制御し、層間絶縁層の絶縁特性を低下させない薄膜トランジスタの製造方法を提供することを目的としている。

【0008】

【課題を解決するための手段】本発明により課題を解決するための手段は1) 2) の2つの構成がある。

1) 絶縁性基板の上に半導体層、ゲート絶縁層、ゲート電極を順に積層してなる薄膜トランジスタの製造工程において、ゲート電極を形成する工程が、Moを主成分とする下層金属膜とAlを主成分とする上層金属膜との積層膜を堆積する工程と、前記積層膜を一度にエッチング

し所定の形状に加工する工程と、前記エッチング時に使用したエッチングマスク材を残したままAlを主成分とする前記上層金属膜の端面を選択的にエッチングする工程を有することを特徴とするものである。

【0009】2) 絶縁性基板の上に半導体層、ゲート絶縁層、ゲート電極を順に積層してなる薄膜トランジスタの製造工程において、ゲート電極を形成する工程が、Moを主成分とする下層金属膜とAlを主成分とする上層金属膜との積層膜を堆積する工程と、前記積層膜を一度にエッチングし所定の形状に加工する工程と、Alを主成分とする前記上層金属膜の選択的にエッチングし除去する工程を有することを特徴とするものである。

【0010】本発明は前記した2つの構成により、各々以下の作用がある。

1) 積層ゲート電極エッチング時のエッチングマスクを残した状態で、さらに上層金属膜を選択的にエッチングする。これにより、下層金属膜の端面よりも上層金属膜の端面のサイドエッチングを進行させる。従って、積層ゲート電極の両端面がほぼ揃うか段々形状になり、以降工程でこの上に形成される層間絶縁層のカバレッジ特性を損なうことがない。

【0011】2) 積層ゲート電極エッチング後、上層金属膜のみを選択的にエッチング除去する。これにより、下層金属膜のみが残りゲート電極の端面形状が安定し、以降工程でこの上に形成される層間絶縁層のカバレッジ特性を損なうことがない。

【0012】

【発明の実施の形態】本発明の請求項1に記載の発明は、Moを主成分とする下層金属膜とAlを主成分とする上層金属膜との積層膜のパターン形状において、前記積層膜を一度にエッチングする工程と、Alを主成分とする前記上層金属膜を選択的にエッチングし所定の形状に加工する工程を有することを特徴とする積層膜の形状加工方法としたものであり、積層膜エッチング後に上層金属膜のみを選択的にエッチング加工する。これにより、積層膜の端面形状が安定し、以降工程でこの上に形成される薄膜などのカバレッジ特性を損なうことがないという作用を有する。

【0013】本発明の請求項2に記載の発明は、Alを主成分とする上層金属膜を選択的にエッチングし所定の形状に加工する工程において、少なくともりん酸を含むエッチング液でエッチングすることを特徴とする請求項1記載の積層膜の形状加工方法としたものであり、りん酸を含むエッチング液により容易に選択的にエッチング加工でき、また上層金属膜以外の薄膜がこのエッチング液に対するエッチング速度が遅い場合に有用であるという作用を有する。

【0014】本発明の請求項3に記載の発明は、Alを主成分とする上層金属膜を選択的にエッチングし所定の形状に加工する工程において、有機系アルカリ性エッチ

ング液でエッチングすることを特徴とする請求項1記載の積層膜の形状加工方法としたものであり、有機系アルカリ性エッチング液により容易に選択的にエッチング加工でき、また上層金属膜以外の薄膜がこのエッチング液に対するエッチング速度が遅い場合に有用であるという作用を有する。

【0015】本発明の請求項4に記載の発明は、A1を主成分とする上層金属膜を選択的にエッチングし所定の形状に加工する工程において、少なくともテトラ・メチル・アンモニウム・ハイドロオキシド（以下、TMAHと略記）を含むアルカリ性エッチング液でエッチングすることを特徴とする請求項1記載の積層膜の形状加工方法としたものであり、少なくともTMAHを含むアルカリ性エッチング液により容易に選択的にエッチング加工でき、また上層金属膜以外の薄膜がこのエッチング液に対するエッチング速度が遅い場合に有用であるという作用を有する。

【0016】本発明の請求項5に記載の発明は、Moを主成分とする下層金属膜が、少なくともWを0.5原子%以上30原子%以下含む合金であることを特徴とする請求項1～請求項4のいずれかに記載の積層膜の形状加工方法としたものであり、Mo-Wの合金を用いることによってMo単体よりも耐湿性などの膜の安定性が向上し、またWを0.5原子%以上30原子%以下含む合金であれば硝酸を含むA1のエッチング液で容易にエッチングが可能であり、W濃度によってエッチング速度を制御できるという作用を有する。

【0017】本発明の請求項6に記載の発明は、A1を主成分とする上層金属膜が、少なくともZrを0.5原子%以上10原子%以下含む合金であることを特徴とする請求項1～請求項5のいずれかに記載の積層膜の形状加工方法としたものであり、A1-Zr合金はヒロックの発生に関する耐熱性が高いため、熱工程に対する膜の安定性が良いという作用を有する。

【0018】本発明の請求項7に記載の発明は、A1を主成分とする上層金属膜が、少なくともNdを2原子%以上5原子%以下含む合金であることを特徴とする請求項1～請求項5のいずれかに記載の積層膜の形状加工方法としたものであり、A1-Nd合金はヒロックの発生に関する耐熱性が高いため、熱工程に対する膜の安定性が良いという作用を有する。

【0019】本発明の請求項8に記載の発明は、絶縁性基板の上に半導体層、ゲート絶縁層、ゲート電極を順に積層してなる薄膜トランジスタの製造工程において、ゲート電極を形成する工程が、Moを主成分とする下層金属膜とA1を主成分とする上層金属膜との積層膜を堆積する工程と、前記積層膜を一度にエッチングし所定の形状に加工する工程と、前記エッチング時に使用したエッチングマスク材を残したままA1を主成分とする前記上層金属膜の端面を選択的にエッチングする工程を有する

ことを特徴とする薄膜トランジスタの製造方法としたものである。これは、積層ゲート電極エッチング時のエッチングマスクを残した状態で、さらに上層金属膜を選択的にエッチングする。これにより、下層金属膜の端面よりも上層金属膜の端面のサイドエッチングを進行させる。従って、積層ゲート電極の両端面がほぼ揃うか段々形状になり、以降工程でこの上に形成される層間絶縁層のカバレッジ特性を損なうことがないという作用を有する。

【0020】本発明の請求項9に記載の発明は、絶縁性基板の上に半導体層、ゲート絶縁層、ゲート電極を順に積層してなる薄膜トランジスタの製造工程において、ゲート電極を形成する工程が、Moを主成分とする下層金属膜とA1を主成分とする上層金属膜との積層膜を堆積する工程と、前記積層膜を一度にエッチングし所定の形状に加工する工程と、A1を主成分とする前記上層金属膜を選択的にエッチングし除去する工程を有することを特徴とする薄膜トランジスタの製造方法としたものである。これは、積層ゲート電極エッチング後、上層金属膜のみを選択的にエッチング除去する。これにより、下層金属膜のみが残りゲート電極の端面形状が安定し、以降工程でこの上に形成される層間絶縁層のカバレッジ特性を損なうことがないという作用を有する。

【0021】本発明の請求項10に記載の発明は、A1を主成分とする上層金属膜を選択的にエッチングし所定の形状に加工する工程において、少なくともりん酸を含むエッチング液でエッチングすることを特徴とする請求項8または請求項9記載の薄膜トランジスタの製造方法としたものであるが、りん酸を含むエッチング液により容易に選択的にエッチング加工でき、また上層金属膜以外の薄膜がこのエッチング液に対するエッチング速度が遅い場合に有用であるという作用を有する。

【0022】本発明の請求項11に記載の発明は、A1を主成分とする上層金属膜を選択的にエッチングし所定の形状に加工する工程において、有機系アルカリ性エッチング液でエッチングすることを特徴とする請求項8または請求項9記載の薄膜トランジスタの製造方法としたものであり、有機系アルカリ性エッチング液により容易に選択的にエッチング加工でき、また上層金属膜以外の薄膜がこのエッチング液に対するエッチング速度が遅い場合に有用であるという作用を有する。

【0023】本発明の請求項12に記載の発明は、A1を主成分とする上層金属膜を選択的にエッチングし所定の形状に加工する工程において、少なくともTMAHを含むアルカリ性エッチング液でエッチングすることを特徴とする請求項8または請求項9記載の薄膜トランジスタの製造方法としたものであり、少なくともTMAHを含むアルカリ性エッチング液により容易に選択的にエッチング加工でき、また上層金属膜以外の薄膜がこのエッチング液に対するエッチング速度が遅い場合に有用であ

るという作用を有する。

【0024】本発明の請求項13に記載の発明は、Moを主成分とする下層金属膜が、少なくともWを0.5原子%以上30原子%以下含む合金であることを特徴とする請求項8～請求項12のいずれかに記載の薄膜トランジスタの製造方法としたものであり、Mo-Wの合金を用いることによってMo単体よりも耐湿性などの膜の安定性が向上し、またWを0.5原子%以上10原子%以下含む合金であれば硝酸を含むA1のエッチング液で容易にエッチングが可能であり、W濃度によってエッチング速度を制御できるという作用を有する。

【0025】本発明の請求項14に記載の発明は、Alを主成分とする上層金属膜が、少なくともZrを0.5原子%以上30原子%以下含む合金であることを特徴とする請求項8～請求項13のいずれかに記載の薄膜トランジスタの製造方法としたものであり、Al-Zr合金はヒロックの発生に関する耐熱性が高いため、熱工程に対する膜の安定性が良いという作用を有する。

【0026】本発明の請求項15に記載の発明は、Alを主成分とする上層金属膜が、少なくともNdを2原子%以上5原子%以下含む合金であることを特徴とする請求項8～請求項13のいずれかに記載の薄膜トランジスタの製造方法としたものであり、Al-Nd合金はヒロックの発生に関する耐熱性が高いため、熱工程に対する膜の安定性が良いという作用を有する。

【0027】以下、本発明の実施の形態について、図1と図2を用いて説明する。

(実施の形態1) 図1は本発明の実施の形態1における薄膜トランジスタ作製工程フロー(断面図)を示すものである。

【0028】まず、ガラス基板1の上に、半導体層2の前駆体として、プラズマCVD法により膜厚50nmの非晶質シリコンを成膜し、フォトリソグラフィおよびエッチングを用いて島状に加工する。次に、真空中でも450℃2時間の熱アニール処理を行い、次工程のレーザアニール処理時に非晶質シリコン中の水素が突沸して膜質を悪化させないように、非晶質シリコン中の水素量を減少させる。

【0029】レーザアニールは、例えば波長308nmのXeClレーザを例えば300mJ/cm²程度で照射し、結晶化させて半導体層2として多結晶シリコンを形成する。その上に、ゲート絶縁膜4として常圧CVD法により膜厚100nmの酸化シリコンを形成する。

【0030】さらに、第1のゲート電極5として膜厚100nmのMo-W10原子%と第2のゲート電極6として膜厚100nmのAl-Zr0.9原子%の積層膜をスパッタ法により成膜し、フォトリソグラフィおよびエッチングを用いて加工する。

【0031】この時のゲート電極層の第1のエッチングは、例えば40℃のりん酸(比重1.69):硝酸(比

重1.38):酢酸(比重1.05):水=16:1:2:1(体積比)で混合した混酸のウェットエッチングにより行う。この時のエッチング端面形状は例えば図1(a)に示すようにひさし状になっている。続いて、フォトレジスト7を除去せずに、例えば40℃のりん酸:水=16:3(体積比)でゲート電極層の第2のエッチングをして第2のゲート電極層6のサイドエッチングを進行させて、図1(b)に示す端面形状とする。この形状制御により、以降工程で形成する層間絶縁層8のガバレッジ性を確保できる。

【0032】次に図1(c)に示すように、第1のゲート電極層5および第2のゲート電極層6をマスクとしてドナーとなる燐を半導体層2の一部領域に導入して、ソース・ドレイン領域3を形成する。

【0033】このとき、例えば高周波放電プラズマによりガスを分解して少なくとも導入すべき元素を含むイオンを生成しそのイオンを質量分離をせずに加速電圧によって加速して活性半導体薄層に導入する方法(イオン・ドーピング法)によって、水素ガスで希釈したホスフィンガスをを用いてドナーとなる燐を導入することにより、400℃30分程度の熱処理によって充分に不純物を活性化することができる。

【0034】そして、図1(d)に示すように、層間絶縁層8として例えば常圧CVDにより酸化シリコンを400nmを形成した後、フォトリソグラフィおよびエッチングによってコンタクトホールを形成する。

【0035】さらに、ソース・ドレイン電極9を、例えば膜厚100nmのTiおよび膜厚400nmのAlをスパッタ法により成膜・エッチングして形成する。最後に、水素雰囲気中で350℃60分アニール処理を施し、半導体層2およびソース・ドレイン領域3の多結晶シリコン中の欠陥を補償して薄膜トランジスタが完成する。

【0036】以上のように構成されたこの実施の形態1の薄膜トランジスタには、次の効果がある。ゲート電極層の第1のエッチング後には、端面形状は例えば図1(a)のようにひさし状になっている。その後のゲート電極層の第2のエッチングにより、第2のゲート電極層6のサイドエッチングにより形状制御し、図1(b)の端面形状とする。これにより、層間絶縁層8のガバレッジ性を良好にし、ゲート電極層5、6とソース・ドレイン電極9との絶縁性の良い薄膜トランジスタが得られる。

【0037】(実施の形態2) 図2は本発明の実施の形態2における薄膜トランジスタ作製工程フロー(断面図)を示すものである。以下に、この図を用いて実施の形態2を説明する。まず、ガラス基板1の上に、半導体層2の前駆体として、プラズマCVD法により膜厚50nmの非晶質シリコンを成膜し、フォトリソグラフィおよびエッチングを用いて島状に加工する。次に、真空

中で450℃2時間の熱アニール処理を行い、次工程のレーザアニール処理時に非晶質シリコン中の水素が突沸して膜質を悪化させないように、非晶質シリコン中の水素量を減少させる。レーザアニールは、例えば波長308nmのXeClレーザを例えば300mJ/cm²程度で照射し、結晶化させて半導体層2として多結晶シリコンを形成する。その上に、ゲート絶縁層4として常圧CVD法により膜厚100nmの酸化シリコンおよびスパッタ法により膜厚50nmのTaOxの積層膜を形成する。

【0038】さらに、第1のゲート電極5として膜厚100nmのMo-W10原子%と第2のゲート電極6として膜厚100nmのAlの積層膜をスパッタ法により成膜し、フォトリソグラフィおよびエッチングを用いて加工する。この時のゲート電極層のエッチングは、例えば40℃のりん酸（比重1.69）：硝酸（比重1.38）：酢酸（比重1.05）：水＝16：1：2：1（体積比）で混合した混酸のウェットエッチングにより行う。この時のエッチング端面形状は例えば図2（a）のようにひさし状になっている。次にフォトリソグラフィおよびドライエッチングにより、ゲート絶縁膜4の上層のTaOxを図2（b）の様に加工する。次に、第1のゲート電極層5および第2のゲート電極層6をマスクとしてドナーとなる磷を半導体層2の一部領域にイオン・ドーピング法を用いて導入し、ソース・ドレイン領域3を形成する。また、このときTaOxで覆われていた領域に注入される磷は、ソース・ドレイン領域3よりも少なく、LDD（ライトリリー・ドーフト・ドレイン）領域10が形成される。

【0039】本実施例の場合、100nmのMo-Wだけでは、イオンドーピング時のチャネル領域に対する不純物の阻止能が不足しており、第2のゲート電極層6の100nmのAlによって阻止能を確保している。その後、第2のゲート電極層6をマスクとして、TaOxをドライエッチングにより除去する。このTaOxを除去する工程は、本実施例により作成したLDD構造のトランジスタ特性を十分に引き出すために必要な工程であり、これはイオンドーピング工程などで発生したLDD領域のTaOx中の電荷による影響を無くすために必要である。

【0040】また、このTaOx除去するときのマスクとしては、マスク合わせ精度に関係してくるフォトレジストは使用できない。このため、ゲート電極層をマスクにし、TaOxのドライエッチングを例えばCF₄+O₂ガスで行うのが最も容易である。このエッチングに対して、Mo-W10原子%の第1のゲート電極層5はエッチングされるためマスクとして働かないので、その上層に第2のゲート電極層のAlを使用しそれをマスクとしている。

【0041】このTaOxを除去した後、例えば40℃

のりん酸：水＝16：3（体積比）で第2のゲート電極層として残るため、その端面形状は図2（c）のようになる。したがって、以降工程で形成する層間絶縁層8のガバレッジ特性を確保できる。その層間絶縁層8として例えば常圧CVDにより酸化シリコンを400nmを形成した後、フォトリソグラフィおよびエッチングによってコンタクトホールを形成する。さらに、ソース・ドレイン電極9を、例えば膜厚100nmのTiおよび膜厚400nmのAlをスパッタ法により成膜・エッチングして形成する。最後に、水素雰囲気中で350℃60分アニール処理を施し、半導体層2およびソース・ドレイン領域3の多結晶シリコン中の欠陥を補償して薄膜トランジスタが完成する。

【0042】以上のように構成されたこの実施の形態2の薄膜トランジスタには、次の効果がある。ゲート電極層の第1のエッチング後には、端面形状は例えば図2（a）のようにひさし状になっている。その後のゲート電極層の第2のエッチングにより、第2のゲート電極層6のサイドエッチングにより形状制御し、図2（c）の端面形状とする。これにより、層間絶縁膜8のガバレッジ性を良好にし、ゲート電極層5、6とソース・ドレイン電極9との絶縁性の良い薄膜トランジスタが得られる。また、第1のゲート電極層5に用いたMo系合金は耐湿性などに関して比較的不安定な材料であるため、上層に層間絶縁層8を形成する直前までの間に極力表面を大気中に出さないで変質を防ぐ効果もある。

【0043】なお、実施の形態1、2では、半導体層の前駆体の形成方法としてプラズマCVD法を用いたが、減圧CVD法、スパッタ法、真空蒸着法、または光CVD法など、所定の前駆体を形成できるものなら何でもよい。

【0044】なお、実施の形態1、2では、半導体層の前駆体を結晶化するためにXeClレーザ光を照射したが、これは前駆体を結晶化できる方法ならば何でもよく、Arイオンレーザ光の照射や炉による熱アニールなどでもよい。

【0045】なお、実施の形態1、2では、半導体層として多結晶シリコンを用いたが、半導体として働くものなら何でもよく、非晶質シリコン、微結晶シリコン、単結晶シリコンや、ゲルマニウム、シリコンゲルマニウム、ガリウム砒素などでもよい。

【0046】なお、実施の形態1、2では、ゲート絶縁層として常圧CVD法により形成したSiO₂を用いたが、これは酸化シリコンなら何でもよく、例えば減圧CVD法、プラズマCVD法、スパッタ法、またはECR-CVD法などの成膜手法を用いて形成した酸化シリコンなどでもよい。

【0047】なお、実施の形態2では、ゲート絶縁膜としてスパッタ法により形成したTaOxを用いたが、これはゲート絶縁層として働くものなら何でもよく、例え

ば減圧CVD法、プラズマCVD法、スパッタ法、またはECR-CVD法などの成膜手法を用いて形成したSiNxなどでもよい。

【0048】なお、実施の形態1、2では、第1のゲート電極5としてMo-W10原子%を用いたが、これは、Moを主成分とする材料で硝酸でエッチング可能でありりん酸でエッチングされないものなら何でもよく、MoやMoを主成分とし少なくともWを0.5原子%以上30原子%以下を含む合金などでもよい。

【0049】なお、実施の形態1、2では第2のゲート電極6として、それぞれAl-Zr0.9原子%、Alを用いたが、これはAlを主成分とする金属なら何でもよく、AlやAlを主成分とし少なくともZrを0.5原子%以上10原子%以下を含む合金などでもよく、また例えばAlを主成分とし少なくともNdを2原子%以上5原子%以下を含む合金などでもよい。

【0050】なお、実施の形態1、2では、所定の元素を導入する方法としてイオン・ドーピング法を用いたが、これは所定の元素を導入できる方法ならば何でもよく、イオン注入法やプラズマドーピング法などでもよい。

【0051】なお、実施の形態1、2では、ソース・ドレイン領域を形成するドナーとしてPを用いたが、これはnチャンネルの薄膜トランジスタを作製する場合には砒素などドナーとして働くものならなんでもよく、pチャンネルの薄膜トランジスタを作製する場合にはアルミニウムやほう素などアクセプターとして働くものならば何でもよい。

【0052】なお、実施の形態1、2では、ソース・ドレイン電極としてTiとAlの積層膜を用いたが、これは電極として働くものなら何でもよく、たとえばTi, Cr, Ta, Mo, Alなどの金属や不純物を大量にドーピングした多結晶シリコンやITOなどの透明導電層などでもよい。

【0053】なお、実施の形態1、2では、層間絶縁層として常圧CVD法により形成したSiO₂を用いたが、これは絶縁層として働くものなら何でもよく、例えば減圧CVD法、プラズマCVD法、スパッタ法、また

はECR-CVD法などの成膜手法を用いて形成した窒化シリコンや酸化タンタルなどでもよい。

【0054】なお、実施の形態1、2では、ガラス基板を用いたが、これは表面が絶縁性のものならば何でもよく、プラスチック基板や表面に酸化シリコンを形成した結晶シリコン基板や金属板などでもよい。

【0055】なお、実施の形態1、2では、第2のゲート電極層を選択的にエッチングする工程でりん酸：水＝16：3（体積比）を用いたが、これは第2のゲート電極層6のエッチング選択比が第1のゲート電極層5に対して充分あるものなら何でもよく、たとえばりん酸と酢酸と水の酸性エッチング液やテトラ・メチル・アンモニウム・ハイドロオキシサンド（TMAH）を主成分とするアルカリ性エッチング液などでもよい。

【0056】

【発明の効果】以上のように本発明によれば、Moを主成分とする下層金属膜とAlを主成分とする上層金属膜との積層のゲート電極の端面形状を制御し、層間絶縁層の絶縁特性を低下させない薄膜トランジスタの製造することができるという有効な効果が得られる。

【図面の簡単な説明】

【図1】本発明の実施の形態1における薄膜トランジスタの製造工程の断面図

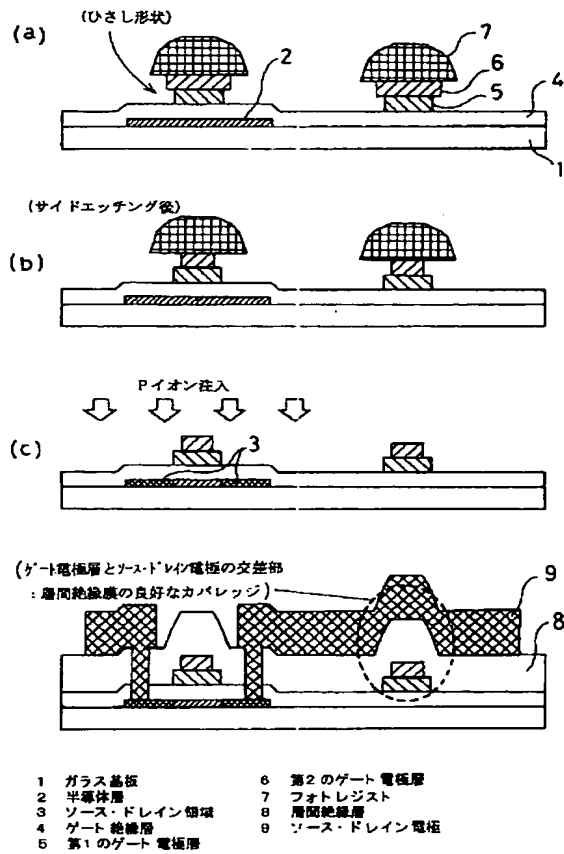
【図2】本発明の実施の形態2における薄膜トランジスタの製造工程の断面図

【図3】従来例の薄膜トランジスタの断面図

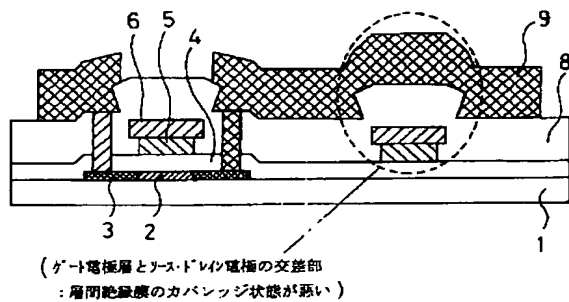
【符号の説明】

- 1 ガラス基板
- 2 半導体層
- 3 ソース・ドレイン領域
- 4 ゲート絶縁層
- 5 第1のゲート電極層
- 6 第2のゲート電極層
- 7 フォトリソ
- 8 層間絶縁層
- 9 ソース・ドレイン電極
- 10 LDD領域

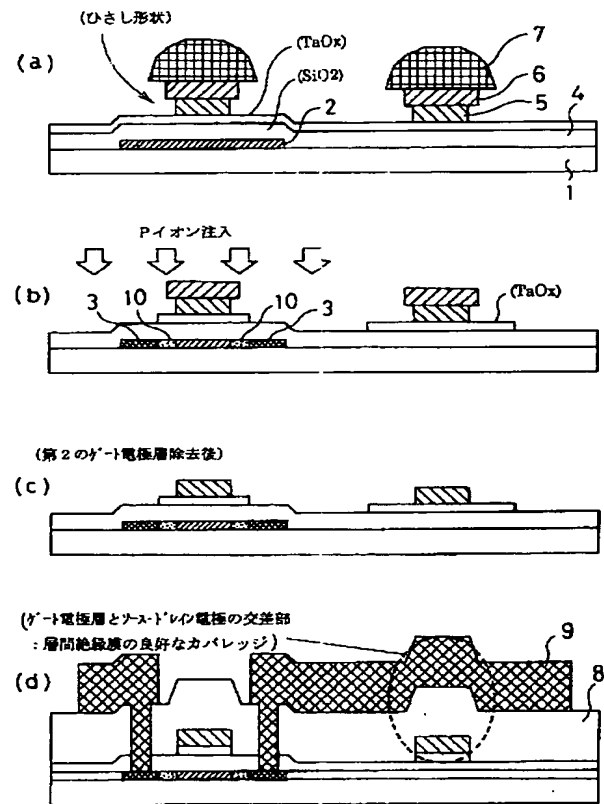
【図 1】



【図 3】



【図 2】



フロントページの続き

(51)Int. Cl. 6 識別記号

H O 1 L 21/3205
21/336

F I

H O 1 L 21/88
29/78

R
6 1 7 V

(72)発明者 小林 郁典

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(19) Japan Patent Office (JP)

(12) Publication of Patent Application (A)

(11) Publication Number of Patent Application: JP-A-11-135797

(43) Date of Publication of Application: May 21, 1999

(51) Int. Cl.⁶ :

H 01 L 29/786

C 23 F 4/00

G 02 F 1/136

H 01 L 21/306

21/308

H 01 L 21/3205

21/336

Identification Number

500

FI

H 01 L 29/78 617U

C 23 F 4/00 A

G 02 F 1/136 500

H 01 L 21/308 F

21/306 F

H 01 L 21/88 R

29/78 617V

Request for Examination: not made

Number of Claims: 15 OL (9 pages in total)

(21) Application Number Hei-9-299251

(22) Application Date: October 31, 1997

(71) Applicant: 000005821

Matsushita Electric Ind. Co., Ltd.

1006, Oaza Kadoma, Kadoma-shi, Osaka

(72) Inventors: SANO Hiroshi, FUJIWARA Takashi,

TSUBOI Nobuyuki, KOBAYASHI Ikunori

c/o Matsushita Electric Ind. Co., Ltd.

1006, Oaza Kadoma, Kadoma-shi, Osaka

(74) Agent: Patent Attorney, MORIMOTO Yoshihiro

(54) Title:

WORKING METHOD FOR SHAPE OF LAMINATED FILM AND
MANUFACTURING METHOD FOR THIN FILM TRANSISTOR USING THE SAME

(57) Abstract

[Problem] To provide a manufacturing method for a thin film transistor, which may prevent lowering of insulating characteristic by controlling the end face shape of a laminated gate electrode of a lower layer metal film of 10 atomic % Mo-W and 0.9 atomic % Al-Zr to improve the coverage state of an interlayer insulation layer.

[Means for Resolution] Polycrystalline silicon is formed as a semiconductor layer 2 on a glass substrate 1, and SiO₂ is formed thereon as a gate insulation layer 4. Further, a

laminated film of 10 atomic % Mo-W with a film thickness of 100 nm as a first gate electrode 5 and 0.9 atomic % Al-Zr with a film thickness of 100 nm as a second gate electrode 6 is deposited by a sputtering process, and a first wet etching is performed with mixed acid of phosphoric acid, nitric acid, acetic acid and water. Subsequently, without removing a photo resist 7, the gate electrode layer is etched with mixed acid of phosphoric acid and water to cause the progress of side etching of the second gate electrode layer 6. Thus, the coverage property of the interlayer insulation layer 8 formed in the subsequent process can be ensured.

Claims:

1. A shape working method for a laminated film, in pattern formation for a laminated film of a lower layer metal film mainly composed of Mo and an upper layer metal film mainly composed of Al, comprising: a process of etching the laminated film at one time; and a process of selectively etching the upper layer metal film mainly composed of Al to be worked into a designated shape.

2. The shape working method for a laminated film according to claim 1, wherein in the process of selectively etching the upper layer metal film mainly composed of Al to be worked into a designated shape, etching is performed with etchant containing at least phosphoric acid.

3. The shape working method for a laminated film according to claim 1, wherein in the process of selectively etching the upper layer metal film mainly composed of Al to be worked into a designated shape, etching is performed with an organic alkaline etchant.

4. The shape working method for a laminated film according to claim 1, wherein in the process of selectively etching the upper layer metal film mainly composed of Al to be worked into a designated shape, etching is performed with alkaline etchant at least containing tetra methyl ammonium hydroxide.

5. The shape working method for a laminated film according to one of claims 1 to 4, wherein the lower layer metal film mainly composed of Mo is an alloy containing at least from 0.5 to 30 atomic % W.

6. The shape working method for a laminated film according to one of claims 1 to 5, wherein the upper layer metal film mainly composed of Al is an alloy containing at least from 0.5 to 10 atomic % Zr.

7. The shape working method for a laminated film according to one of claims 1 to 5, wherein the upper layer metal film mainly composed of Al is an alloy containing at least from 2 to 5 atomic % Nd.

8. A manufacturing method for a thin film transistor, characterized in that in a manufacturing process for a thin

film transistor formed by stacking a semiconductor layer, a gate insulation layer, and a gate electrode in that order on an insulating substrate, a process of forming the gate electrode comprises: a process of depositing a laminated film of a lower metal film mainly composed of Mo and an upper layer metal film mainly composed of Al; a process of etching the laminated film at one time to be worked into a designated shape; and a process of selectively etching the end face of the upper layer metal film mainly composed of Al with etching mask material used in the above etching left undone.

9. A manufacturing method for a thin film transistor, characterized in that in a manufacturing process for a thin film transistor formed by stacking a semiconductor layer, a gate insulation layer, and a gate electrode in that order on an insulating substrate, a process of forming the gate electrode comprises: a process of depositing a laminated film of a lower layer metal film mainly composed of Mo and an upper layer metal film mainly composed of Al; a process of etching the laminated film at one time to be worked into a designated shape; and a process of selectively etching and removing the upper layer metal film mainly composed of Al.

10. The manufacturing method for a thin film transistor according to claim 8 or 9, wherein in the process of selectively etching the upper layer metal film mainly composed of Al to be worked into a designated shape, etching is performed with

an etchant at least containing phosphoric acid.

11. The manufacturing method for a thin film transistor according to claim 8 or 9, wherein in the process of selectively etching the upper layer metal film mainly composed of Al to be worked into a designated shape, etching is performed with an organic alkaline etchant.

12. The manufacturing method for a thin film transistor according to claim 8 or 9, wherein in the process of selectively etching the upper layer metal film mainly composed of Al to be worked into a designated shape, etching is performed with alkaline etchant containing at least tetra methyl ammonium hydroxide.

13. The manufacturing method for a thin film transistor according to one of claims 8 to 12, wherein the lower layer metal film mainly composed of Mo is an alloy containing at least from 0.5 to 30 atomic % W.

14. The manufacturing method for a thin film transistor according to one of claims 8 to 13, wherein the upper layer metal film mainly composed of Al is an alloy containing at least from 0.5 to 10 atomic % Zr.

15. The manufacturing method for a thin film transistor according to one of claims 8 to 13, wherein the upper layer metal film mainly composed of Al is an alloy containing at least from 2 to 5 atomic % Nd.

Detailed Description of the Invention:

[0001]

[Technical Field to which the Invention Belongs]

This invention relates to a thin film transistor applied to a liquid crystal display device, an image sensor and the like.

[0002]

[Prior Art]

In recent years, a view finder of a home video camera and notebook-sized personal computer have been loaded with a liquid crystal display device, and among the liquid crystal display devices, an active matrix liquid crystal display device enabling high image quality display particularly has attracted the attention of people. In this active matrix liquid crystal display device, as a switching element of a pixel electrode, a thin film transistor (hereinafter referred to as TFT for short) is frequently used.

[0003]

This applicant has already proposed a TFT array shown in Fig. 3 in JP-A-8-285426. In this TFT array, a semiconductor layer 2 is formed on a glass substrate 1, a gate insulation layer 4 is formed thereon, and further a gate electrode thereon is formed by a laminated film composed of Mo of a first gate electrode layer 5 and 3.5% Al-Nd of a second gate electrode layer 6. A source-drain region 3 is formed so that it is

connected to the semiconductor layer 2. An interlayer insulation layer 8, a contact hole, and a source-drain electrode 9 are formed to constitute the TFT array.

[0004]

In the conventional TFT array thus constructed, as a gate electrode, for example, a laminated film of 10 atomic % Mo-W and 0.9% Al-Zr is used as a gate electrode. The laminated film can be easily etched by an etchant containing phosphoric acid and nitric acid, which is frequently used as an etchant for Al, so it has been worked by one etching using the above etchant.

[0005]

[Problems that the Invention is to Solve]

The above configuration, however, has the problem that since it is difficult to control the shape of the end face of the laminated gate electrode, lowering of withstand voltage of the interlayer insulation layer between the gate electrode and the source-drain electrode and an inter-wiring short are easily caused. The problem will now be described.

[0006]

Since the gate electrode is a laminated film, it is necessary to at least optimize the composition of an etchant, the temperature of the etchant, the material composition of the gate electrode and the film thickness constitution of the gate electrode in order to control the etching shape of the end face. Further, a difference in etching rate between a

single layer film and a laminated layer film due to cell effect resulting from the laminating structure of different metals and a difference in etching state depending on the etching pattern shape due to the supply state and contact way of the etchant to the surface of a substrate are also caused. For these reasons, it is difficult to control the shape of end face of the laminated gate electrode with good reproducibility in every substrate or in the substrate. For example, the side etching of the upper layer gate electrode makes slow progress, resulting in being shaped like the so-called eaves. In the case of forming the interlayer insulation layer on the gate electrode of this type, encountered is the problem that the coverage characteristic of the interlayer insulation layer at the end face part of the gate electrode is deteriorated to easily cause lowering of withstand voltage between the gate electrode and the source-drain electrode and an inter-wiring short. Therefore, a method for improving the end face shape of the laminated gate electrode not to lower the insulating characteristic of the interlayer insulation layer has been expected.

[0007]

The invention has been made in the light of such circumstances and it is an object of the invention to provide a manufacturing method for a thin film transistor, which may control the end face shape of a laminated gate electrode of

a lower layer metal film mainly composed of Mo and an upper layer metal layer mainly composed of Al not to lower the insulating characteristic of the interlayer insulation layer.

[0008]

[Means for Solving the Problems]

As means for solving the problems according to the invention, the following two constitutions 1), 2) are cited.

1) In a manufacturing process for a thin film transistor formed by stacking a semiconductor layer, a gate insulation layer, and a gate electrode in that order on an insulating substrate, a process of forming the gate electrode includes a process of depositing a laminated film of a lower metal film mainly composed of Mo and an upper layer metal film mainly composed of Al, a process of etching the laminated film at one time to be worked into a designated shape and a process of selectively etching the end face of the upper layer metal film mainly composed of Al with etching mask material used in the above etching left undone.

[0009]

2) In a manufacturing process for a thin film transistor formed by stacking a semiconductor layer, a gate insulation layer, and a gate electrode in that order on an insulating substrate, a process of forming the gate electrode includes a process of depositing a laminated film of a lower layer metal film mainly composed of Mo and an upper layer metal film mainly

composed of Al, a process of etching the laminated film at one time to be worked into a designated shape and a process of selectively etching and removing the upper layer metal film mainly composed of Al.

[0010]

According to the invention, the following operations are respectively given by the above two constitutions.

1) Further, the upper layer metal film is selectively etched with the etching mask used in etching the laminated gate electrode left undone, whereby the side etching is progressing in the end face of the upper layer metal film more than in the end face of the lower layer metal film. Accordingly, both end faces of the laminated gate electrode are made substantially uniform or stepped not to impair the coverage characteristic of the interlayer insulation layer formed thereon in the subsequent process.

[0011]

2) After the laminated gate electrode is etched, only the upper layer metal layer is selectively etched and removed, whereby only the lower layer metal film is left behind so that the end face shape of the gate electrode is stabilized not to impair the coverage characteristic of the interlayer insulation layer formed thereon in the subsequent process.

[0012]

[Mode for Carrying Out the Invention]

According to the invention described in claim 1 of the invention, a shape working method for a laminated film is characterized in that in pattern formation for a laminated film of a lower layer metal film mainly composed of Mo and an upper layer metal film mainly composed of Al, the method includes a process of etching the laminated film at one time and a process of selectively etching the upper layer metal film mainly composed of Al to be worked into a designated shape, wherein after the laminated film is etched, only the upper layer metal film is selectively etched. Thus, the end face shape of the laminated film is stabilized not to impair the coverage characteristic of a thin film or the like formed thereon in the subsequent process.

[0013]

According to the invention described in claim 2 of the invention, the shape working method for a laminated film as claimed in claim 1 is characterized in that in the process of selectively etching the upper layer metal film mainly composed of Al to be worked into a designated shape, etching is performed with etchant at least containing phosphoric acid, and the method has the effect that etching can be easily and selectively performed with the etchant containing phosphoric acid and further the method is useful for the case where the thin film other than the upper layer metal film has a lower etch rate to this etchant.

[0014]

According to the invention described in claim 3 of the invention, the shape working method for a laminated film as claimed in claim 1 is characterized in that in the process of selectively etching the upper layer metal film mainly composed of Al to be worked into a designated shape, etching is performed with an organic alkaline etchant, and the method has the effect that etching can be easily and selectively performed with the organic alkaline etchant and further the method is useful for the case where the thin film other than the upper layer metal film has a lower etch rate to this etchant.

[0015]

According to the invention described in claim 4 of the invention, the shape working method for a laminated film as claimed in claim 1 is characterized in that in the process of selectively etching the upper layer metal film mainly composed of Al to be worked into a designated shape, etching is performed with alkaline etchant at least containing tetra methyl ammonium hydroxide (hereinafter referred to as TMAH for short), and the method has the effect that etching can be easily and selectively performed with the alkaline etchant at least containing TMAH and further the method is useful for the case where the thin film other than the upper layer metal film has a lower etch rate to this etchant.

[0016]

According to the invention described in claim 5 of the invention, the shape working method for a laminated film as claimed in one of claims 1 to 4 is characterized in that the lower layer metal film mainly composed of Mo is an alloy containing at least from 0.5 to 30 atomic % W, and the method has the effect that the use of the Mo-W alloy enables improvement in the stability of the film such as moisture resistance more than the Mo simple substance, further the alloy containing from 0.5 to 30 atomic % W will be easily etched with etchant for Al containing nitric acid, and the etch rate can be controlled by W concentration.

[0017]

According to the invention described in claim 6 of the invention, the shape working method for a laminated film as claimed in one of claims 1 to 5 is characterized in that the upper layer metal film mainly composed of Al is an alloy containing at least from 0.5 to 10 atomic % Zr, and the method has the effect that since the Al-Zr alloy has high heat resistance about the occurrence of hillock, the stability of the film to the heat process is good.

[0018]

According to the invention described in claim 7 of the invention, the shape working method for a laminated film as claimed in one of claims 1 to 5 is characterized in that the upper layer metal film mainly composed of Al is an alloy

containing at least from 2 to 5 atomic % Nd, and the method has the effect that since the Al-Nd alloy has high heat resistance about the occurrence of hillock, the stability of the film to the heat process is good.

[0019]

According to the invention described in claim 8 of the invention, the manufacturing method for a thin film transistor is characterized in that in a manufacturing process for a thin film transistor formed by stacking a semiconductor layer, a gate insulation layer, and a gate electrode in that order on an insulating substrate, a process of forming the gate electrode includes a process of depositing a laminated film of a lower metal film mainly composed of Mo and an upper layer metal film mainly composed of Al, a process of etching the laminated film at one time to be worked into a designated shape and a process of selectively etching the end face of the upper layer metal film mainly composed of Al with etching mask material used in the above etching left undone. According to this method, with the etching mask in etching the laminated gate electrode left undone, further the above upper layer metal film is selectively etched. Thus, the side etching is progressing in the end face of the upper layer metal film more than in the end face of the lower layer metal film. Accordingly, both end faces of the laminated gate electrode are made substantially uniform or terraced not to impair the coverage

characteristic of the interlayer insulation layer formed thereon in the subsequent process.

[0020]

According to the invention described in claim 9 of the invention, the manufacturing method for a thin film transistor is characterized in that in a manufacturing process for a thin film transistor formed by stacking a semiconductor layer, a gate insulation layer, and a gate electrode in that order on an insulating substrate, a process of forming the gate electrode includes a process of depositing a laminated film of a lower layer metal film mainly composed of Mo and an upper layer metal film mainly composed of Al, a process of etching the laminated film at one time to be worked into a designated shape and a process of selectively etching and removing the upper layer metal film mainly composed of Al. According to this method, after the stacked gate electrode is etched, only the upper layer metal film is selectively etched and removed. Thus, only the lower layer metal film is left behind so that the end face shape is stabilized not to impair the coverage characteristic of an interlayer insulation layer formed thereon in the subsequent process.

[0021]

According to the invention described in claim 10 of the invention, the manufacturing method for a thin film transistor as claimed in claim 8 or 9 is characterized in that in the process

of selectively etching the upper layer metal film mainly composed of Al to be worked into a designated shape, etching is performed with an etchant at least containing phosphoric acid, and this method has the effect that etching can be easily and selectively performed with the etchant containing phosphoric acid and further the method is useful for the case where the thin film other than the upper layer metal film has a lower etch rate to this etchant.

[0022]

According to the invention described in claim 11 of the invention, the manufacturing method for a thin film transistor as claimed in claim 8 or 9 is characterized in that in the process of selectively etching the upper layer metal film mainly composed of Al to be worked into a designated shape, etching is performed with an organic alkaline etchant, and this method has the effect that etching can be easily and selectively performed with the organic alkaline etchant and further the method is useful for the case where the thin film other than the upper layer metal film has a lower etch rate to this etchant.

[0023]

According to the invention described in claim 12 of the invention, the manufacturing method for a thin film transistor as claimed in claim 8 or 9 is characterized in that in the process of selectively etching the upper layer metal film mainly composed of Al to be worked into a designated shape, etching

is performed with alkaline etchant at least containing TMAH, and this method has the effect that etching can be easily and selectively performed with the organic alkaline etchant at least containing TMAH and further the method is useful for the case where the thin film other than the upper layer metal film has a lower etch rate to this etchant.

[0024]

According to the invention described in claim 13 of the invention, the manufacturing method for a thin film transistor as claimed in one of claims 8 to 12 is characterized in that the lower layer metal film mainly composed of Mo is an alloy containing at least from 0.5 to 30 atomic % W, and this method has the effect that the use of the Mo-W alloy enables improvement in the stability of the film such as moisture resistance more than the Mo simple substance, further the alloy containing from 0.5 to 30 atomic % W will be easily etched with etchant for Al containing nitric acid, and the etch rate can be controlled by W concentration.

[0025]

According to the invention described in claim 14 of the invention, the manufacturing method for a thin film transistor as claimed in one of claims 8 to 13 is characterized in that the upper layer metal film mainly composed of Al is an alloy containing at least from 0.5 to 30 atomic % Zr, and this method has the effect that since the Al-Zr alloy has high heat

resistance about the occurrence of hillock, the stability of the film to the heat process is good.

[0026]

According to the invention described in claim 15 of the invention, the manufacturing method for a thin film transistor as claimed in one of claims 8 to 13 is characterized the upper layer metal film mainly composed of Al is an alloy containing at least from 2 to 5 atomic % Nd, and this method has the effect that since the Al-Nd alloy has high heat resistance about the occurrence of hillock, the stability of the film to the heat process is good.

[0027]

The mode for carrying out the invention will now be described with Figs. 1A to 1D and 2A to 2D.

(Embodiment 1) Figs. 1A to 1D show a thin film transistor manufacturing process flow (sectional views) in the embodiment 1 of the invention.

[0028]

First, on a glass substrate 1, as a precursor of a semiconductor layer 2, amorphous silicon with a film thickness of 50 nm is deposited by the plasma CVD method, and worked to be insular by photolithography and etching. Subsequently, thermal annealing is performed at 450 °C for two hours even in a vacuum, and the quantity of hydrogen in amorphous silicon is decreased so that at the time of laser annealing in the next

process, the film quality is not deteriorated by bumping of hydrogen in the amorphous silicon.

[0029]

In the laser annealing, XeCl laser with a wavelength of 308 nm and, for example, energy of about 300 mJ-cm² is applied and crystallized to form polycrystalline silicon as the semiconductor layer 2. Silicon oxide with a film thickness of 100 nm is formed as a gate insulation film 4 thereon by an atmospheric pressure CVD method.

[0030]

Further, a laminated film composed of 10 atomic % Mo-W with a film thickness of 100 nm as a first gate electrode 5 and 0.9 atomic % Al-Zr with a film thickness of 100 nm as a second gate electrode 6 is deposited by a sputtering process, and worked by photolithography and etching.

[0031]

At the time, a first etching for the gate electrode layer is performed by wet etching using mixed acid at 40 °C , which is obtained by mixing phosphoric acid (specific gravity 1.69) : nitric acid (specific gravity 1.38) : acetic acid (specific gravity 1.05) : water = 16 : 1 : 2 : 1 (volume ratio). At the time, the etching end face is, for example, shaped like the eaves as shown in Fig. 1A. Subsequently, without removing a photo resist 7, a second etching for the gate electrode layer is performed with phosphoric acid : water = 16 : 3 (volume ratio)

at 40°C , thereby causing the progress of side etching in the second gate electrode layer 6 to obtain the end face shape as shown in Fig. 1B. The shape can be thus controlled to thereby ensure the coverage characteristic of an interlayer insulation layer 8 formed in the subsequent process.

[0032]

Subsequently, as shown in Fig. 1C, with the first gate electrode layer 5 and the second gate electrode layer 6 as a mask, phosphorus which becomes a donor is injected into a partial region of the semiconductor layer 2 to form a source-drain region 3.

[0033]

At the time, by a method (an ion doping method) in which gas is resolved by high-frequency discharge plasma, for example, to generate ions at least containing elements to be injected, and the ions are accelerated by acceleration voltage without mass separation to be injected into an active semiconductor thin layer, phosphorus which becomes a donor is injected with phosphine gas diluted by hydrogen gas, whereby impurity can be sufficiently activated by heat treatment at 400 °C for thirty minutes.

[0034]

As shown in Fig. 1D, as the interlayer insulation layer 8, silicon oxide is formed 400 nm by atmospheric pressure CVD, for example, and then a contact hole is formed by

photolithography and etching.

[0035]

Further, Ti with a film thickness of 100 nm and Al with a film thickness of 400 nm are deposited and etched by a sputtering process to form a source-drain electrode 9. Lastly, annealing is performed at 350°C for sixty minutes in an atmosphere of hydrogen, thereby compensating for defects of polycrystalline silicon in the semiconductor layer 2 and the source-drain region 3 to complete a thin film transistor.

[0036]

The thin film transistor thus constructed according to the embodiment 1 has the following effects. After the first etching for the gate electrode layer, the end face is, for example, shaped like the eaves as shown in Fig. 1A. By the subsequent second etching for the gate electrode layer, the second gate electrode 6 is subjected to side etching to control the shape, thereby obtaining the end face shape as shown in Fig. 1B. Thus, the coverage characteristic of the interlayer insulation layer 8 is improved to obtain a thin film transistor having good insulation performance between the gate electrode layers 5, 6 and the source-drain electrode 9.

[0037]

(Embodiment 2) Figs. 2A to 2D show a thin film transistor manufacturing process flow (sectional views) in the embodiment 2 of the invention. The embodiment 2 will now be described

by the drawings. First, amorphous silicon with a film thickness of 50 nm is deposited as a precursor of a semiconductor layer 2 on a glass substrate 1 by the plasma CVD method, and worked to be insular by photolithography and etching. Subsequently, thermal annealing is performed at 450°C for two hours in a vacuum, and the quantity of hydrogen in amorphous silicon is decreased so that at the time of laser annealing in the next process, the film quality is not deteriorated by bumping of hydrogen in the amorphous silicon. In the laser annealing, XeCl laser with a wavelength of 308 nm and, for example, energy of about 300 mJ-cm² is applied and crystallized to form polycrystalline silicon as the semiconductor layer 2. A laminated film of silicon oxide with a film thickness of 100 nm formed by atmospheric pressure CVD method and TaOx with a film thickness of 50 nm formed by a sputtering process is formed as a gate insulation film 4 thereon.

[0038]

Further, a laminated film composed of 10 atomic % Mo-W with a film thickness of 100 nm as a first gate electrode 5 and Al with a film thickness of 100 nm as a second gate electrode 6 is deposited by a sputtering process, and worked by photolithography and etching. At the time, etching for the gate electrode layer is performed by wet etching using mixed acid at 40°C, which is obtained by mixing phosphoric acid

(specific gravity 1.69) : nitric acid (specific gravity 1.38) : acetic acid (specific gravity 1.05): water = 16 : 1 : 2 : 1 (volume ratio). At the time, the etching end face is, for example, shaped like the eaves as shown in Fig. 2A. Subsequently, TaOx on the upper layer of the gate insulation film 4 is worked as shown in Fig. 2B by photolithography and dry etching. Subsequently, with the first gate electrode layer 5 and the second gate electrode layer 6 as a mask, phosphorus, which becomes a donor, is injected into a partial region of the semiconductor layer 2 by ion doping method to form a source-drain region 3. At the time, the phosphorus injected into the region covered with TaOx is less than that in the source-drain region 3 to form a LDD (Lightly Doped Drain) region 10.

[0039]

In the case of the present embodiment, with Mo-W 100 nm thick, the impurity stopping power for the channel region in ion doping is short, so the stopping power is ensured by Al 100 nm thick of the second gate electrode layer 6. After that, with the second gate electrode layer 6 as a mask, TaOx is removed by dry etching. The process of removing TaOx is a process necessary for sufficiently extracting the transistor characteristic of the LDD structure made according to the present embodiment, and this is necessary to eliminate influence of electric charges of TaOx in the LDD region

generated by the ion doping process.

[0040]

As a mask in removing TaOx, photo resist concerned with the mask alignment accuracy can't be used. Therefore, it is easiest to perform dry etching for TaOx with the gate electrode layer as a mask by $\text{CF}_4 + \text{O}_2$ gas or the like. For this etching, the first gate electrode layer 5 of 10 atomic % Mo-W is etched so that it doesn't function as a mask, so Al of the second gate electrode layer is used and taken as a mask.

[0041]

After TaOx is removed, a second gate electrode layer is left behind with phosphoric acid : water = 16 : 3 (volume ratio) at 40°C, so the end face shape is as shown in Fig. 2C. Accordingly, the coverage characteristic of an interlayer insulation layer 8 formed in the subsequent process can be ensured. As the interlayer insulation layer 8, silicon oxide of 400 nm is formed by atmospheric pressure CVD, for example, and then a contact hole is formed by photolithography and etching. Further, Ti with a film thickness of 100 nm and Al with a film thickness of 400 nm are deposited and etched by a sputtering process to form a source-drain electrode 9. Lastly, annealing is performed at 350°C for sixty minutes in an atmosphere of hydrogen, thereby compensating for defects of polycrystalline silicon in the semiconductor layer 2 and the source-drain region 3 to complete a thin film transistor.

[0042]

The thin film transistor according to the embodiment 2 thus constructed has the following effects. After the first etching for the gate electrode layer, the end face is, for example, shaped like the eaves as shown in Fig. 2A. By the subsequent second etching for the gate electrode layer, the second gate electrode 6 is subjected to side etching to control the shape, thereby obtaining the end face shape as shown in Fig. 2C. Thus, the coverage characteristic of the interlayer insulation layer 8 is improved to obtain a thin film transistor having good insulation performance between the gate electrode layers 5, 6 and the source-drain electrode 9. Further, since the Mo-base alloy used in the first gate electrode layer 5 is relatively unstable material to moisture resistance or the like, the surface is not exposed in the air to the utmost immediately before the interlayer insulation layer 8 is formed on the upper layer so as to prevent alteration.

[0043]

Although plasma CVD method is used as a method for forming a precursor of the semiconductor layer in the embodiments 1, 2, any method such as a low pressure CVD method, a sputtering process, a vacuum evaporation method or a photo assisted CVD method may be used if it can form a designated precursor.

[0044]

Although XeCl laser light is applied to crystallize the

precursor of the semiconductor layer in the embodiments 1, 2, any method for crystallizing the precursor may be used, for example, application of Ar ion laser light or thermal annealing by a furnace may be performed.

[0045]

Although the polycrystalline silicon is used as the semiconductor layer in the embodiments 1, 2, any material acting as a semiconductor may be used, such as amorphous silicon, microcrystal silicon, mono-crystalline silicon, germanium, silicon germanium, or gallium arsenide.

[0046]

Although SiO₂ formed by the atmospheric pressure CVD method is used as the gate insulation layer in the embodiments 1, 2, any silicon oxide may be used, for example, silicon oxide formed by deposition method such as a low pressure CVD method, a sputtering process, or an ECR-CVD method may be used.

[0047]

Although TaO_x formed by the sputtering process is used as the gate insulation film in the embodiment 2, any material acting as the gate insulation layer may be used, for example, SiN_x formed by deposition method such as a low pressure CVD method, a plasma CVD method, a sputtering process, or an ECR-CVD method may be formed.

[0048]

Although 10 atomic % Mo-W is used as the first gate

electrode 5 in the embodiments 1, 2, any material mainly composed of Mo may be used if it is etched by nitric acid, but not etched by phosphoric acid, and the material may be Mo or an alloy mainly composed of Mo and containing from 0.5 atomic % to 30 atomic % W may be used.

[0049]

Although 0.9 atomic % Al-Zr and Al are used as the second gate electrode 6 in the embodiments 1, 2, respectively, any metal mainly composed of Al may be used, and the metal may be Al or an alloy mainly composed of Al and at least containing from 0.5 atomic % to 10 atomic % Zr. Further, the metal may be an alloy mainly composed of Al and at least containing from 2 atomic % to 5 atomic % Nd.

[0050]

Although the ion doping method is used as a method for injecting a designated element in the embodiments 1, 2, any method for injecting a designated element may be used, for example, an ion implantation method and a plasma doping method may be used.

[0051]

Although phosphorus is used as a donor for forming the source-drain region in the embodiments 1, 2, any material acting as a donor such as arsenic may be used in the case of manufacturing an n-channel thin film transistor, and in the case of manufacturing a p-channel thin film transistor, any

material acting as an acceptor such as aluminum or boron may be used.

[0052]

Although the laminated film of Ti and Al is used as the source-drain electrode in the embodiments 1, 2, any material acting as an electrode may be used, for example, a transparent conductive layer such as polycrystalline silicon or ITO where metal such as Ti, Cr, Ta, Mo or Al and impurity are doped in a large quantity may be used.

[0053]

Although SiO₂ formed by atmospheric pressure CVD method is used as an interlayer insulation layer in the embodiments 1, 2, any material acting as an insulation layer may be used, for example, silicon nitride or tantalum oxide formed by deposition method such as a low pressure CVD method, a plasma CVD method, a sputtering process or an ECR-CVD method may be used.

[0054]

Although the glass substrate is used in the embodiments 1, 2, any material having the insulating surface may be used, for example, a plastic substrate, or a crystalline silicon substrate or metal plate where silicon oxide is formed on the surface thereof may be used.

[0055]

Although phosphoric acid : water = 16 : 3 (volume ratio)

is used in the process of selectively etching the second gate electrode layer in the embodiments 1, 2, any material may be used if its etching selection ratio of the second gate electrode layer suffices the first gate electrode layer 5, for example, an acidic etchant of phosphoric acid , acetic acid and water, and alkaline etchant mainly composed of tetra methyl ammonium hydroxide (TMAH) may be used.

[0056]

[Advantage of the Invention]

According to the invention, as described above, advantageously it is possible to manufacture a thin film transistor which will now lower the insulating characteristics of the interlayer insulation layer by controlling the end face shape of the laminated gate electrode of the lower layer metal film mainly composed of Mo and the upper layer metal film mainly composed of Al.

Brief Description of the Drawings:

Figs. 1A to 1D are sectional views showing a manufacturing process for a thin film transistor according to the embodiment 1 of the invention;

Figs. 2A to 2D are sectional views showing a manufacturing process for a thin film transistor according to the embodiment 2 of the invention; and

Fig. 3 is a sectional view of a thin film transistor

according to the prior art.

[Description of the Reference Numerals and Signs]

1: glass substrate 2: semiconductor layer 3:
source-drain region 4: gate insulation layer 5: first gate
electrode layer 6: second gate electrode layer 7:
photoresist 8: interlayer insulation layer 9: source-drain
electrode 10: LDD region

FIGURE 1A:

EAVES-SHAPED

FIGURE 1B:

AFTER SIDE ETCHING

FIGURE 1C:

P ION IMPLANTATION

FIGURE 1D:

INTERSECTING PART OF GATE ELECTRODE LAYER AND SOURCE-DRAIN
ELECTRODE: GOOD COVERAGE OF INTERLAYER INSULATION FILM

1: GLASS SUBSTRATE

2: SEMICONDUCTOR LAYER

3: SOURCE-DRAIN REGION

4: GATE INSULATION LAYER

5: FIRST GATE ELECTRODE LAYER

6: SECOND GATE ELECTRODE LAYER

7: PHOTORESIST

8: INTERLAYER INSULATION LAYER

9: SOURCE-DRAIN ELECTRODE

FIGURE 2A:

EAVES-SHAPED

FIGURE 2B:

P ION IMPLANTATION

FIGURE 2C:

AFTER REMOVAL OF SECOND GATE ELECTRODE LAYER

FIGURE 2D:

INTERSECTING PART OF GATE ELECTRODE LAYER AND SOURCE-DRAIN
ELECTRODE: GOOD COVERAGE OF INTERLAYER INSULATION FILM

FIGURE 3:

INTERSECTING PART OF GATE ELECTRODE LAYER AND SOURCE-DRAIN
ELECTRODE: POOR COVERAGE STATE OF INTERLAYER INSULATION FILM